

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-45173

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl.⁹

識別記号

F I

G 0 6 F 7/58

G 0 6 F 7/58

C

A 6 3 F 7/02

3 0 4

A 6 3 F 7/02

3 0 4 Z

3 1 5

3 1 5 A

審査請求 未請求 請求項の数 4 F D (全 16 頁)

(21) 出願番号

特願平9-215780

(22) 出願日

平成9年(1997) 7月25日

(71) 出願人 591107481

株式会社エルイーテック

東京都千代田区一ツ橋2丁目6番3号

(72) 発明者 今井 信正

東京都千代田区一ツ橋2丁目6番3号 株

式会社エルイーテック内

(74) 代理人 弁理士 稲木 次之 (外1名)

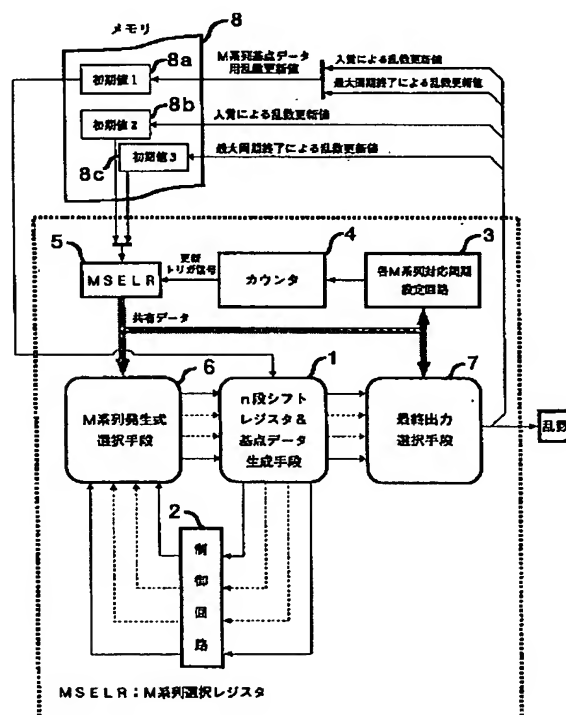
(54) 【発明の名称】 乱数発生装置及び遊技機制御用マイクロコンピュータ

(57) 【要約】

(修正有)

【課題】 遊技機に使用される乱数発生装置において、入賞タイミングに左右されない乱数を発生させることが出来ると共に、規則性の殆どない長周期の乱数、すなわちできる限り自然乱数に近い値を得る。

【解決手段】 最大周期の異なるM系列発生式を複数式内蔵する手段と、これらのM系列発生式をそれぞれ一周期のみ発生させる手段と、最大周期に達したら別のM系列発生式に順次若しくはランダムに切り替え手段5と、電源投入によるリセットによりハードウェアロジックが初期化されることによって発生する特定乱数列の防止手段と、M系列発生における基点データ生成手段と初期値がゼロ時の時に発生するM系列のロックアップを防止する手段とからなる乱数発生装置とそれを内蔵させた遊技機制御用マイクロコンピュータ。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 最大周期の異なる M 系列発生式を複数式内蔵する手段と、これらの M 系列発生式をそれぞれ一周期のみ発生させる手段と、最大周期に達したら別の M 系列発生式に順次若しくはランダムに切り替え手段と、電源投入によるリセットによりハードウェアロジックが初期化されることによって発生する特定乱数列の防止手段と、M 系列発生における基点データ生成手段と初期値がゼロ時の時に発生する M 系列のロックアップを防止する手段とからなる乱数発生装置。

【請求項 2】 最大周期が互いに素である M 系列発生式をそれぞれ組み合わせて積 M 系列発生式としたものが複数式内蔵手段に組み込まれていることを特徴とする請求項 1 記載の乱数発生装置。

【請求項 3】 最終出力選択手段から出力される乱数値を記憶しておき、M 系列選択レジスタや基点データ生成手段に対して初期値を入力する記憶手段を有することを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の乱数発生装置。

【請求項 4】 請求項 1 乃至 2 のいずれか 1 項記載の乱数発生装置を内蔵させたことを特徴とする遊技機制御用マイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、遊技機に使用される乱数発生装置において、入賞タイミングに左右されない乱数を発生させることが出来ると共に、規則性の無い長周期の乱数、すなわちできる限り自然乱数に近い値を得る手段に関するものである。遊技機業界において求められる理想的な乱数としては以下の要件を満たすことが望ましい。

(1) 特定の乱数値の発生頻度の同等性

例えば 2 進数の条件下で 1 0 0 0 個の乱数を発生させた場合には“0”、“1”の数がそれぞれ 5 0 0 個であること。

(2) 不規則性

系列（乱数の並び）がどんなに不規則であったとしても、系列の中にある特定の乱数値が一定周期で出現する様な乱数発生装置では、いわゆる体感器の様なインターバルタイマー発生器で簡単に照準を合わせることが可能となってしまう為に、系列としての不規則性は勿論のこと特定の乱数値の出現に関する周期も不規則であることが必要とされる。

(3) 検査機関での再現性

遊技機メーカー側の試験結果と同等のものが検査機関でテストしても同様に再現できるものでなくてはならない。

(4) 遊技機制御用マイクロコンピュータで制御可能であること。

遊技機に搭載される遊技機制御用マイクロコンピュータ

は、大型計算機やワークステーションで使用されるマイクロコンピュータよりも処理速度や性能が劣っており、これらの高性能機で使用される乱数発生方式を同じ様に使用できるとは限らない。

【0002】一般的には理想的な乱数とは不規則性であること、すなわち次に出現する数値が予測不可能であることが最も優先され、他の条件は必要条件ではあるが必ずしも絶対条件では無い場合が多く、遊技機業界では上記 4 点の条件の内一つも欠如すること無く全て内包されていることが必要とされる。したがって、他の業界で通用している乱数発生理論及び方式乃至運用が必ずしも遊技機業界で適用できるとは限らない。

【0003】

【従来の技術】遊技機は静電気等のノイズの影響を受けても暴走しない様、遊技機を制御する CPU に対し、一定時間毎にリセットによる割り込みをかけ、常にプログラムの先頭番地に戻れる様に設計してある。一定時間とは約数〜数十ミリ秒であり、この時間内で乱数生成処理も含め、他の処理も行なわなくてはならない。従来の遊技機で使用されている乱数はソフトウェアにて生成され、その乱数生成プログラムは遊技機を制御するプログラム内に組み込まれている。遊技機はリセット割り込み毎に所定メモリ内の乱数格納エリアに前回保持されていた乱数を更新するシーケンスになっており、例えばパチンコ遊技機において、入賞口に球が入る度に入賞センサーがそれを感知してその情報を CPU へ知らせ、CPU は乱数格納エリアにある数値を読み出して乱数としている。

【0004】従来、遊技機業界で使用されているソフトウェアによる乱数発生方式としておもに線形合同法 ($b = 0$: 乗算合同法 $b \neq 0$: 混合合同法) が採用され、これは次式で発生させている。

$$X_{n+1} = a \cdot X_n + b \pmod{m}$$

【0005】また、他の乱数発生方式として M 系列 (Maximum length sequence) があり、スペクトル拡散通信などの通信分野、制御系のシミュレーション等で用いられる雑音（ノイズ）の代用、RAM の故障診断等の計測制御分野で幅広く用いられている。M 系列は 1 周期内における統計的ばらつきが無いことが証明されており、大型計算機やワークステーションの環境下ではシフトレジスタの段数が概ね 5 0 0 段〜1 0 0 0 段の M 系列のものが利用され、ガロア体 GF (2) 上の多項式とした場合、最大周期は $2^{500} - 1 \sim 2^{1000} - 1$ であり実質上無限大の周期をもつものとして扱っている。

【0006】また、他の乱数発生方式としてカオス (Chaos) 現象を利用したものがある。カオスはギリシャ語から英語になったもので、混沌、大混乱、無秩序を意味し、数学的には「決定論システムにおいて起こる確率論的なふるまい」と定義されている。カオス現象の発見はアメリカの気象学者ローレンツが微分方程式の計算

3

の過程で最初に入力する初期値データのごくわずかの違いにより計算結果が大きく違っていったことがきっかけとする。すなわち初期値のごくわずかな違いにより安定な周期運動から安定な周期運動が存在しない振動が出現し、数列が予測できない現象が出現し、後年カオス現象として認識される様になった。この様に微分方程式の様な非線形方程式において、初期値のごくわずかな違いがカオス現象を引き起こし、数列が予測困難になることが一般的に知られ、このカオス現象を利用して乱数として用いることができる。カオス乱数の例としてテント写像、ロジスティック写像、チェビシェフ写像、ベルヌイシフトを利用したものがある。

【0007】M系列を利用した乱数発生装置では、一組のシフトレジスタの段数内で必要以上の制御ゲートを挿入したり、シフトレジスタの各段数のビットから出力されるデータを組み合わせるゲーティングを行い、その出力を最終乱数としたり、同様にデータのビットを入れ換えたものを最終乱数とする様な装置がある。

【0008】ソフトウェア、またはハードウェアにせよ、現状の遊技機に使用される乱数発生方式では入賞した時点で、任意に設定した最大周期を一巡することなくただちに初期値を書き換え、再び初期値を基点として巡回する方式のものが多くある。また、電源投入によるリセットによりハードウェアロジックが初期化されることによって最初に発生する乱数列が特定化されるという問題がある。以下「従来装置」という。

【0009】

【発明が解決しようとする課題】CPUは乱数生成処理も含む他の処理もリセット割り込みによるインターバルタイマ期間内で処理している為、乱数量や乱数の取り得る範囲におのずと限界があり、乱数の一定周期化が生じてしまう。また、複数の乱数や乱数発生範囲を大きく取るとはソフトウェア上の大きな負担になり、現状の遊技機を制御するプログラムの容量制限、及びビット幅の小さい数MHz以下のシステムクロックで動作するスピードの遅いCPUでの条件下では実質上困難になる。

(0003の課題)

【0010】線形合同法による乱数を最適とするにはmを最低でも 2^{32} 以上に設定しなければならない。しかし1語のビット数の小さい遊技機制御用マイクロコンピュータで実現するには難しく、実現するにはmを当該数値よりも小さく設定せざるを得ない。mを小さい値に設定するということは、周期を小さくすることに他ならず、乱数発生方式としての信頼性は低下する。また、仮に周期が大きく出来たとしても、遊技機で必要な図柄変動や大当りの確率は数十～数百分の一程度である為、これらの確率に合わせる為の抽選手段が別途必要になり、ソフトウェアまたはハードウェアのいずれかで実現させたとしてもプログラムの容量やロジックの増大になり負担となる。また、線形合同法は、aとbをどの様な数値を選

4

んでも、多次元分布において結晶構造的規則性があることが指摘され、多次元分布が一様にならないことが判明している。(0004の課題)

【0011】M系列はシフトレジスタの段数を増やせば増やす程、最大周期を大きくできるが、その増大に伴い、一つの乱数値を得る為のクロック数は増大する。

(周期が最大となるのはあくまでもシフトレジスタの最終段出力の為)その為、数MHz以下のシステムクロックで動作するスピードの遅いCPUと同じ周波数で動作させていては所望の乱数量を得ることはできない。したがって、最大周期を大きく取れば取る程、シフトレジスタを構成する各FF(フリップフロップ)に供給するクロックの周波数をそれなりに高くしなければならない。しかし、ハードロジックはクロックの周波数が高くなれば高くなる程消費電力は大きくなり、現状の電源ではドライブしきれない可能性が出てくる。また、遊技機の基板の大きさは限定されており、この限定スペース内に電源を構成する部品、遊技機制御用マイクロコンピュータ、周辺LSIを全て実装しなければならず、現状では電源を強化する為の実装スペースを確保することは実質的に困難であり、またコスト面においても遊技機メーカーの大きな負担となる。また各FFに供給するクロックは基本的には同一クロックを使用する為、クロックスキューの問題も考慮しなくてはならない。以上の点からも遊技機で使用できるM系列は、100段を超えるものを使用することは実質的に困難である。(0005の課題)

【0012】カオス乱数を発生させる場合、扱う数値は小数点を含む数値となり、最適な乱数を得るには最低でも小数点以下10桁以上の数値を扱えるものでなくてはならない。例えばソフトウェアにてカオス乱数を発生させる場合において、Z80では小数点演算命令を持っておらず、また、プログラムのステップ数も数千ステップも要してしまい、現状の乱数生成プログラムの容量をはるかに超えてしまう。一つの乱数値を得るのにも多くの処理時間を要してしまう。また、ハードウェアにて発生させる場合においても、小数点以下10桁以上の数値を演算できる回路を並列式演算方式で実現した場合、多くのゲート数を要してしまい、コスト的なメリットは無い。以上の点からもビット幅の小さい数MHz以下のシステムクロックで動作するスピードが遅くて小数演算命令を持たないCPU及び現状のメモリ制限での条件下ではカオス乱数を発生させることは実質上困難である。

(0006の課題)

【0013】従来のM系列を利用した乱数発生装置は、最大周期が固定(シフトレジスタの段数が固定)のものがほとんどである。この為、必要以上の制御ゲートを多用して乱数列の規則化を防止しようとしている。しかし、M系列の最大周期はあくまでもシフトレジスタの段数で決定され、この段数内でいくら制御ゲートを挿入し

たり、シフトレジスタの各段数のビットから出力されるデータを組み合わせるゲーティングを行ったり、またはデータのビットを入れ換えたとしても、乱数列の並びが変わるだけで最大周期を超えた後、同じパターンの乱数列の繰り返しになる(図1の従来装置参照)。したがって、この周期に合わせたインターバルタイマ発生器があれば簡単に大当たり(特定の乱数値)を狙うことが可能である。また、図柄表示やゲーム性においても一定周期化することによって遊戯者が容易に次の展開が予想でき、遊戯機に対する興味を喪失してしまう。

【0014】遊技機業界にとって最も重要な乱数の不規則性とは系列(乱数値の並び)の不規則性よりもむしろ特定の乱数値が次に出現するまでの周期の不規則性である。したがって、制御ゲートを多用したり、シフトレジスタの各段数のビットから出力されるデータを組み合わせるゲーティングを行ったり、またはデータのビットを入れ換えたとしてもそれは系列の不規則性だけにしかない。(0007の課題)

【0015】また、従来装置で特定の乱数値が次に出現するまでの周期を不規則にする為の手段として、入賞の度に初期値を書き替えるものがあるが、その方式だと個々の乱数値の発生頻度に偏りが生じ、乱数としての信頼性は低い。何故なら最大周期内に何回も入賞が発生した場合、その都度周期途上の乱数値を切り捨てることになり、実質上、任意の設定した確率よりも高い確率で抽選されることに他ならず、場合によっては不本意な大当たり連チャンを誘発する要因にもなりかねない。(図2参照)入賞の度に初期値を書き替える方式のものが通用するのはあくまでも最大周期内に1回のみ入賞があることだけを前提とした場合のみであり、いずれにせよ初期値を書き換えるにしても、任意に設定した最大周期を一巡した後に行なう方式にしなければならない。(0008の課題)

【0016】そこで本発明は、かかる従来技術の欠点に鑑みなされたもので、遊技機メーカーが従来行なっているソフトウェアによる乱数発生をハードウェアにて行ない、遊技機メーカーのソフトウェアにかかる負担を軽減し、最大周期がそれぞれ異なる統計的及び不規則性が良好なM系列発生式を複数式内蔵し、これらの各M系列発生式を一周期の期間のみ使用することを条件に、一周期が終ったことを知らせるトリガ信号により別のM系列発生式に順次もしくはランダムに切り替わる手段により、特定の乱数値の一定周期化を防止し、また入賞があった場合においてもその時点ですぐに初期値を書き替えることなく(すなわち別のM系列にすぐに切り替わることなく)、必ず最大周期を一巡した後に書き替える手段(図2参照)により不本意な大当たり連チャンの要因を排除し、検査機関においても遊技機メーカー側の試験結果と同様のものが再現できることが可能な乱数発生装置を提供することを目的とする。

【0017】

【課題を解決するための手段】すなわち本発明は、最大周期の異なるM系列発生式を複数式内蔵する手段と、これらのM系列発生式をそれぞれ一周期のみ発生させる手段と、最大周期に達したら再度繰り返すことなく別のM系列発生式に順次若しくはランダムに切り替え手段と、電源投入によるリセットによりハードウェアロジックが初期化されることによって発生する特定乱数列の防止手段と、M系列発生における基点データ生成手段と初期値がゼロ時の時に発生するM系列のロックアップを防止する手段とからなる乱数発生装置により本目的を達成する。請求項2の発明は、最大周期が互いに素であるM系列発生式をそれぞれ組み合わせる積M系列発生式とし、前記手段により長周期(最大周期がそれぞれM、Nの場合、 $M \times N$)を得る手段を複数式内蔵させた乱数発生装置である。請求項3の発明は、最終出力選択手段から出力される乱数値を記憶しておき、M系列選択レジスタや基点データ生成手段に対して初期値を入力する記憶手段からなる乱数発生装置である。請求項4の発明は、請求項1乃至2のいずれか1項記載の乱数発生装置を内蔵させたことを特徴とする遊技機制御用マイクロコンピュータである。

【0018】

【作用】本発明にかかる乱数発生装置では、最大周期の異なるM系列発生式を複数式内蔵し、それぞれ一周期のみ発生させ、別のM系列発生式に切り替わる手段により、理論的に本乱数発生装置全体の最大周期は、内蔵する各M系列発生式の数量分の最大周期を加算したものとなる。また、最大周期が互いに素であるM系列発生式を組にし積M系列発生式とすることで、最大周期はそれぞれ組にしたM系列発生式の最大周期の乗算値とすることができる。例えばM系列発生式を原始5項式とした場合、次式で表せる。

$$f(x) = X^p + X^q + X^r + X + 1 \quad (\text{最大周期は } X^p - 1)$$

仮にGF(2)でpが10、11の係数を持つ2つのM系列発生式を内蔵した場合、本乱数発生装置の最大周期は $2^{10} - 1 + 2^{11} - 1 = 3070$ である。更に請求項2による乱数発生装置では、 $(2^{10} - 1) \times (2^{11} - 1) = 2094081$ を最大周期を得ることができる。更に基点データによる周期も考慮すると、本乱数発生装置の最大周期は初期値データのビット長の乗算値となる。例えば初期値データを仮に8ビットだとすると、上記の例で $3070 \times 256 = 785920$ となる。また請求項3の発明では、最終出力選択手段から出力した乱数値を入賞、または選択されたM系列が最大周期に達したことを知らせる更新トリガ信号によって記憶手段に格納しておき、次のM系列発生式及び系列基点となるデータを初期値としてスタートさせる様に構成されたものである。本発明にかかる請求項1及び2のいずれかの乱数

7

発生装置においても、最大周期がそれぞれ異なるM系列発生式を順次、もしくはランダムに選択し、それぞれ一周期のみ発生させ、別のM系列発生式に切り替る手段により特定の乱数値が次に出現するまでの周期は一定ではない利点を持つ。また、ランダムに選択した結果仮に再度同じM系列発生式が選択されても、前回発生された乱数値を初期値（最初に発生する基点が違う）として乱数を発生するので、同様の利点を持つ。M系列は最大周期内で発生する各乱数値（“0”、“1”）の統計は同数であり、本乱数発生装置は必ず最大周期を発生させた後、別のM系列発生式に置き替ることで統計が偏ることは無い。本乱数発生装置のM系列発生式選択手段としてクロスポイントスイッチを採用することにより電氣的に他の回路を簡単に切断できることや、M系列を発生するのに必要なシフトレジスタや制御ゲートを最小限にすることが可能になることや、一連のn段シフトレジスタに制御ゲートの挿入位置をデータを替えることにより簡単にシフトさせることが行うことができる。したがって、従来装置のように各M系列発生式毎にシフトレジスタや制御ゲートを用意することなく、クロスポイントスイッチを利用して一連のn段シフトレジスタに制御ゲートの挿入位置、及び乱数出力段を決定することで複数のM系列発生式を内蔵させることが可能になる。

【0 0 1 9】

【実施例】以下に本発明を図示された実施例に従って詳細に説明する。図3は本発明にかかる乱数発生装置の第一実施例の概念を示すブロック図であり、クロスポイントスイッチを利用して一連のn段シフトレジスタに制御ゲートの挿入位置、及び乱数出力段を決定することで複数のM系列発生式を内蔵するn段シフトレジスタ&基点データ生成手段1と、該n段シフトレジスタ&基点データ生成手段1の制御ロジックを生成する制御回路2と、各M系列発生式の最大周期設定値が各々内蔵された各M系列対応周期設定回路3と、各M系列対応周期設定回路3より供給された設定値をカウントし設定値に達したら更新トリガ信号を発するカウンタ4と、共有データを各回路に供給すると共にM系列発生式選択手段6に次の発生式の選択を指示するM系列選択レジスタ5と、n段シフトレジスタ&基点データ生成手段1から共有データに基づき最終出力段を選択する最終出力選択手段7と、特定乱数列の発生又はM系列のロックアップを防止するための初期値を提供するメモリ8とで構成されている。前記各M系列対応周期設定回路3と、更新トリガ信号を発するカウンタ4と、M系列選択レジスタ5によりM系列発生式をそれぞれ1周期のみ発生する手段を構成しており、M系列発生式選択手段6が、その機能によりM系列発生式を順次又はランダムに切り替え手段を構成している。電源投入時、または遊技機全体を初期化するシステムリセットが入力されると、メモリ8に格納されていた初期値1がn段シフトレジスタ&基点データ生成手段1

8

に、初期値2、3がM系列選択レジスタ5にロードされる。これらの初期値データは、初期値1においては系列を発生させる為のスタート基点となり、また初期値2、初期値3においてはM系列発生式を選択する為のデータとなり、初期値2は入賞があった時の乱数値が、初期値3は選択されたM系列発生式が最大周期に達した時の乱数値がメモリ8に格納される。M系列選択レジスタ5にロードされた初期値データは、M系列発生式を選択する為の共有データとして各M系列対応周期設定回路3、M系列発生式選択手段6、及び最終出力選択手段7に供給される。各M系列対応周期設定回路3では、M系列発生式の最大周期設定値が各々内蔵されており、共有データに対応した設定値をカウンタ4へ供給し、M系列発生式選択手段6では共有データに対応したM系列発生式を選択し、最終出力選択手段7では共有データに対応したn段シフトレジスタ&基点データ生成手段1の最終出力段を選択する。カウンタ4は、各M系列対応周期設定回路3より供給された設定値をカウントし、設定値（最大周期）に達したらその情報を更新トリガ信号としてM系列発生式選択手段6へ知らせる。M系列発生式選択手段6は、共有データに基づき、制御回路2にて生成された制御ロジックをn段シフトレジスタ1の任意の段数位置に挿入し、M系列発生式を設定する。カウンタ4から更新トリガ信号があれば、その時点の乱数値に対応した別のM系列発生式を選択する。なお、M系列発生式の選択の実現手法として汎用のマルチ・プレクサを用いたデコード方法とクロスポイントスイッチを用いる手法等がある。制御回路2は、n段シフトレジスタ1の各々任意の出力段をそれぞれ任意に組み合わせてゲーティング（おもに排他的論理和）を行ない、所望のM系列発生式を発生する為の制御ロジックを生成する。

【0 0 2 0】図4は本発明にかかる乱数発生装置の第一実施例の概念図のシーケンス動作を示すフローチャートであり、M系列発生式がランダムに切り替わる方式のものである。すなわち遊技機の入賞の有無を確認した後にM系列発生式が最大周期に達したか否かをチェックし、入賞した時に入賞フラグをセットしてメモリ8の初期値2エリアに乱数値を書き込み、更新フラグの有無を確認し、もしフラグが立っていない時にはメモリ8の初期値1エリアに乱数値を書き込みM系列発生式を継続動作させる。また更新フラグが立っていた時には、メモリ8の初期値エリア3のエリアに乱数値を書き込むと共に更新フラグをクリアしてM系列発生式を継続動作させる。またM系列発生式が最大周期に達した時には、更新フラグを立て、メモリ8の初期値1及び初期値3エリアに乱数値を書き込み、入賞フラグが立っているか否かを確認する。そして入賞フラグがたっている時には、前回の初期値1及び2データをロードしてM系列選択レジスタ5の基点データをセットし、入賞フラグをクリアすると共にM系列発生式選択手段6を介して次のM系列発生式でス

タートさせる。もし入賞フラグが立っていない時には、前回の初期値 1 及び 3 のデータをロードして M 系列選択レジスタ 5 の基点データをセットすると共に M 系列発生式選択手段 6 を介して次の M 系列発生式でスタートさせる。

【0021】図 5 は本発明にかかる乱数発生装置の第一実施例の概念図のシーケンス動作を示すフローチャートであり、M 系列発生式が規則的に循環して切り替わる方式のものである。最初に M 系列選択レジスタ 5 に“0”がセットされ、このデータに対応した M 系列発生式が選択される。そして最大周期に達すると、M 系列選択レジスタ 5 のデータが +1 インクリメントされ、このデータに対応した M 系列発生式が選択される。もし、仮に M 系列発生式が 16 式内蔵されていたとすると、M 系列選択レジスタ 5 のデータが“F”でこのデータに対応した M 系列発生式が最大周期に達した場合、M 系列選択レジスタ 5 のデータに“0”がセットされ、同様のシーケンスを繰り返す。M 系列発生式が規則的に循環して切り替わる方式のものは、検査機関で行う試射試験等に有効であり、例えば本乱数発生装置にユーザモードと検査モードを設け、ソフトウェア、またはハードウェアスイッチで簡単にモードを切り替えるようにしても良い。

【0022】図 6 は n 段シフトレジスタ 1 の論理概念図を示すもので、図の通り n 段接続されているものとする。n 段シフトレジスタ 1 の各段のフリップフロップ

(以下 FF と呼ぶ) は、リセット、またはプリセット可能なものとする。便宜上、データ入力/クロック/データ出力端子と、リセット/プリセット端子と分割して表示している。論理積ゲートが各段にあるのは、制御回路 2 で生成される制御ゲートを挿入する為の手段であり、また論理積ゲートの片側をプルアップしているのは、M 系列発生式選択手段 6 をクロスポイントスイッチで実現した場合、電氣的に切離された時の論理のフラツキを無くす為で、通常のマルチ・プレクサによるデコード方式にて実現する場合、このプルアップ抵抗は不要となる。M 系列は各段の FF 出力がオールゼロになるとロックアップ状態になり動作しなくなる。したがって、ロックアップ状態を防ぐには、各段の FF 出力の内 1 つが“1”であれば良い。このロックアップ状態の防止手段を図 6 (2/2) に図示するように初期値が 0 とならないようにしてある。基点データ設定レジスタは初期値 1 データを基に各段の FF をリセット、またはプリセットすることによって基点データを決定するものである。この基点データ設定レジスタは最大周期の一番小さい M 系列発生式を決定する FF 段の前段のどこに配置してもよいが、比較的近辺の前段に配置した方が良い。また、同様にロックアップ状態を防ぐ手段である 1 段のみ強制的にプリセットされる FF もどこに配置してもよいが、最大周期の一番小さい M 系列発生式を決定する FF 段に配置した方が良い。この強制的にプリセットされる FF により、

初期値 1 データがゼロであってもロックアップ状態を防止することが可能となる。

【0023】図 7 は制御回路 2 の論理概念図を示すもので、図の通り排他的論理和ゲートで構成され、各 M 系列発生式に対応したタイプのものが複数個内蔵されている。M 系列が多項式になればなる程、排他的論理和ゲートは多段になる。

【0024】M 系列発生式選択手段 6 は、通常のマルチ・プレクサによるデコード方式にて実現する方法とクロスポイントスイッチを採用して実現する方法がある。クロスポイントスイッチは、 $n \times n$ で配列された半導体スイッチで構成され、入力データに対応した個々のスイッチをオン/オフする。このクロスポイントスイッチにより、 $n \times n$ 個分の M 系列発生式を選択することが可能となる。例として 4×4 型のクロスポイントスイッチの真理値表を図 8 に示している。

【0025】M 系列は特性多項式で表され、本装置は各種多項式を内蔵することが可能であるが、遊技機に必要な乱数は、原始 3 項式や原始 5 項式で発生させる分には十分に仕様で耐え得る。n 次元の原始 3 項式と原始 5 項式を内蔵した場合の実施例を図 9 に示している。また、本装置のクロスポイントの選択位置により、制御回路 2 の制御ゲートを n 段シフトレジスタ群にシフトして挿入することが可能となる為、複数の最大周期の異なる M 系列発生式を内蔵させることが可能となる。

【0026】また、クロスポイントスイッチを増設、または増設したクロスポイントスイッチをカスケード接続することにより、異なる多項式を合成して高次元の M 系列発生式として乱数を発生させることも可能である。n 次元の原始 3 項式と原始 5 項式をそれぞれ合成した場合の概念の実施例を図 10 に示している。

【0027】図 11 は n 次元の原始 5 項式を 16 式内蔵した場合のクロスポイントスイッチとロジックとの関係を示した図であり、その結果共有データとの関係で図 12 (1) ~ (16) に示すような n 次元原始 5 項式が 16 式 (例えば $X^{18} + X^4 + X^2 + X + 1$, $X^{19} + X^5 + X^3 + X^2 + 1$, $X^{20} + X^6 + X^4 + X^3 + 1$, $X^{21} + X^7 + X^5 + X^4 + 1$, $X^{14} + X^5 + X^4 + X^2 + 1$, $X^{15} + X^6 + X^5 + X^3 + 1$, $X^{16} + X^7 + X^6 + X^4 + 1$, $X^{17} + X^8 + X^7 + X^5 + 1$, $X^{10} + X^5 + X^3 + X + 1$, $X^{11} + X^6 + X^4 + X^2 + 1$, $X^{12} + X^7 + X^5 + X^3 + 1$, $X^{13} + X^8 + X^6 + X^4 + 1$, $X^6 + X^3 + X^2 + X + 1$, $X^7 + X^5 + X^4 + X + 1$, $X^8 + X^5 + X^4 + X^3 + 1$ 及び $X^9 + X^6 + X^5 + X^4 + 1$) を内蔵した状態となる。

【0028】

【発明の効果】従来のパチンコ遊技機等では、一般的には乱数の発生はソフトウェアで行なわれている為、ソフトウェアにかかる負担が大きいが、本発明にかかる乱数発生装置は、かかるソフトウェアの負担を軽減する役割を果たし、また遊技機用マイクロコンピュータで制御可

能な特定の乱数値が一定周期化しない乱数を提供することができる。この為、遊技者が機械（体感器等）を用いて意図的に入賞タイミングを図って特定の乱数値を引いて大当りを狙うことが実質的にできなくなる。すなわち、入賞タイミングを人為的に操作することによる攻略法を無くすることができる。更に図柄表示やゲーム性においても遊技者が次の展開を容易に予想することが出来ない、すなわち遊技者を飽きさせない品質の高い乱数を提供することが可能となる。また、入賞による乱数更新においても必ず最大周期を一巡した後に書き換える方式を採用することにより、従来装置による途上の乱数を切り捨てることによって発生する高確率化による不当な大当たり連チャンを防止し、また射幸心をあおることの無い健全な乱数を提供することが本乱数発生装置の目的である。また、大型計算機やワークステーション環境下で使用されるシフトレジスタが 100 段以上の M 系列発生式と同等の長周期性を本乱数発生方式によってシフトレジスタ段数が数〜数十段程度の M 系列発生式で提供することができるので、一つの乱数値を得るクロック数や消費電力を軽減できる。また、本乱数発生装置で使用される M 系列発生式はシフトレジスタ段数が数十段程度の為、低い周波数でも高速で動作させることが可能である。

【図面の簡単な説明】

【図 1】 従来装置と本装置の仕様比較を示す図である。

【図 2】 最大周期内で二回以上の入賞があった場合の従来装置と本装置の仕様比較を示す図である。

【図 3】 本発明にかかる第一実施例の装置のブロック図である。

【図 4】 本発明にかかる第一実施例の装置の M 系列発

生式がランダム方式により切り替わることを示す動作フローチャートである。

【図 5】 本発明にかかる第一実施例の装置の M 系列発生式が規則循環方式により切り替わることを示す動作フローチャートである。

【図 6】 n 段シフトレジスタ & 基点データ生成手段 1 のブロック図である。

【図 7】 制御回路 2 の論理概念図である。

【図 8】 4 × 4 型クロスポイントスイッチの真理値表である。

【図 9】 n 次元の原始 3 項式と原始 5 項式を内蔵した場合の概念を示す図である

【図 10】 n 次元の原始 3 項式と原始 5 項式を合成した場合の概念を示す図である。

【図 11】 n 次元の原始 5 項式を 16 式内蔵した場合の実施例を示す図である。

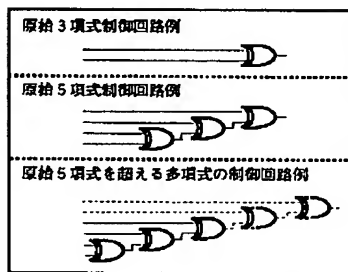
【図 12】 n 次元の原始 5 項式を 16 式（前半 8 式）の論理式とブロック図との関係を示す図である。

【図 13】 n 次元の原始 5 項式を 16 式（後半 8 式）の論理式とブロック図との関係を示す図である。

【符号の説明】

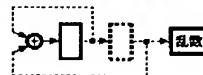
- 1 n 段シフトレジスタ & 基点データ生成手段
- 2 制御回路
- 3 各 M 系列対応周期設定回路
- 4 カウンタ
- 5 M 系列選択レジスタ
- 6 M 系列発生式選択手段
- 7 最終出力選択手段
- 8 メモリ

【図 7】

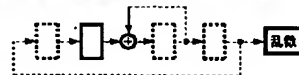


【図 9】

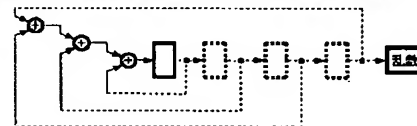
(1) 原始 3 項式（排他的論理和ゲートを 1 段目に挿入した場合）



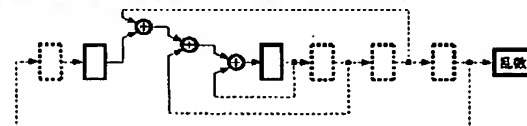
(2) 原始 3 項式（排他的論理和ゲートを n 段目に挿入した場合）



(3) 原始 5 項式（排他的論理和ゲートを 1 段目に挿入した場合）



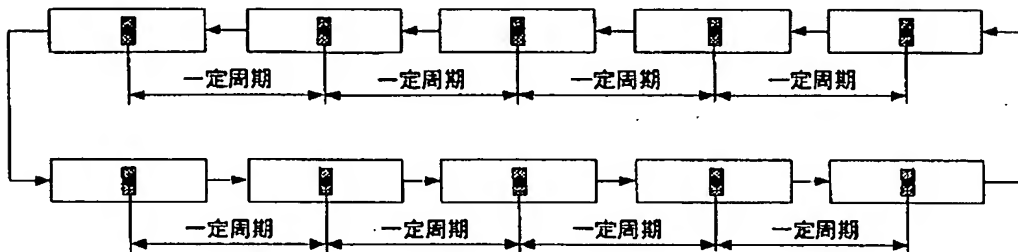
(4) 原始 5 項式（排他的論理和ゲートを n 段目に挿入した場合）



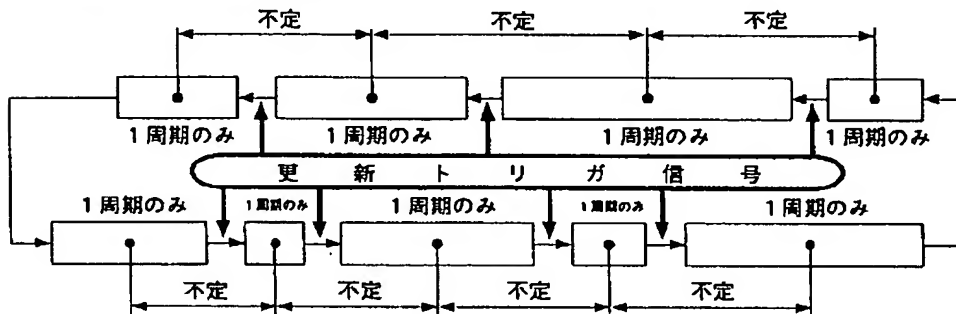
【図 1】

従来装置（発生式一つ：最大周期固定：同一周期循環方式）

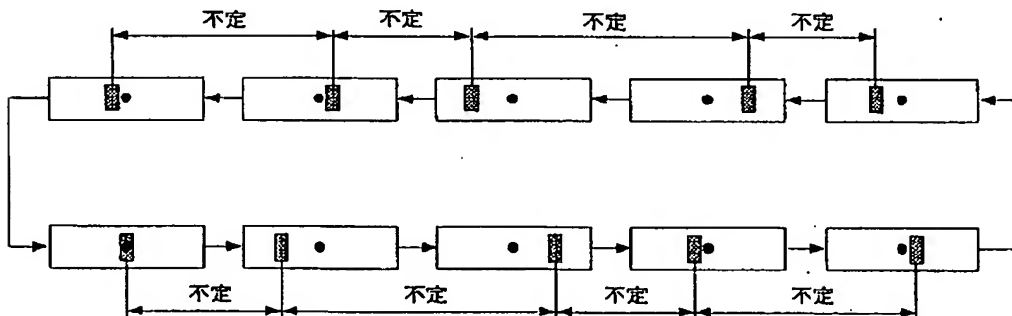
従来装置の周期は一定周期であり、ゆえに特定乱数値の出現周期も一定周期となる。





本装置（発生式複数：最大周期可変：異周期循環方式）



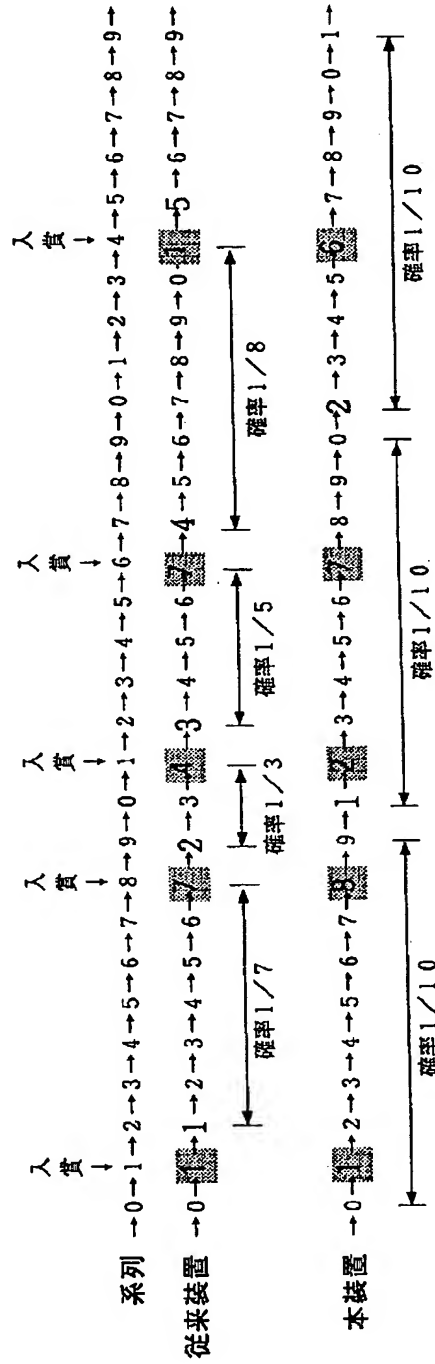
また、同じM系列発生式が再度選択されても前回の乱数値が基点となる為、特定の乱数値の出現周期が一定周期化する可能性は少ない。



注：  は最大周期を示す。 は系列の中の特定乱数値を示す。

【図 2】

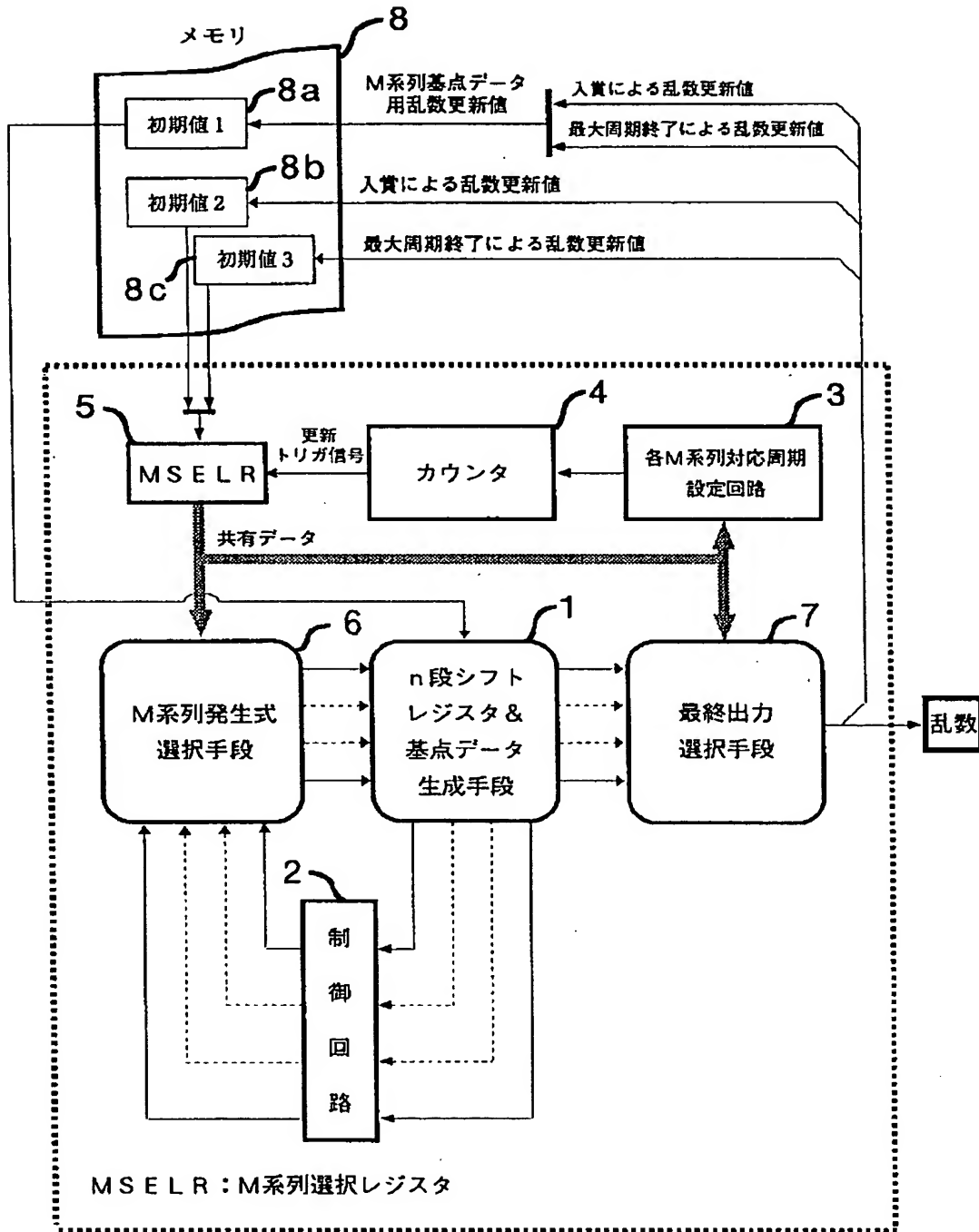
例として0~9の乱数(最大周期10)で、仮に系列が $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow$ で入賞による更新初期値が順に1、2、3、4、5とする。



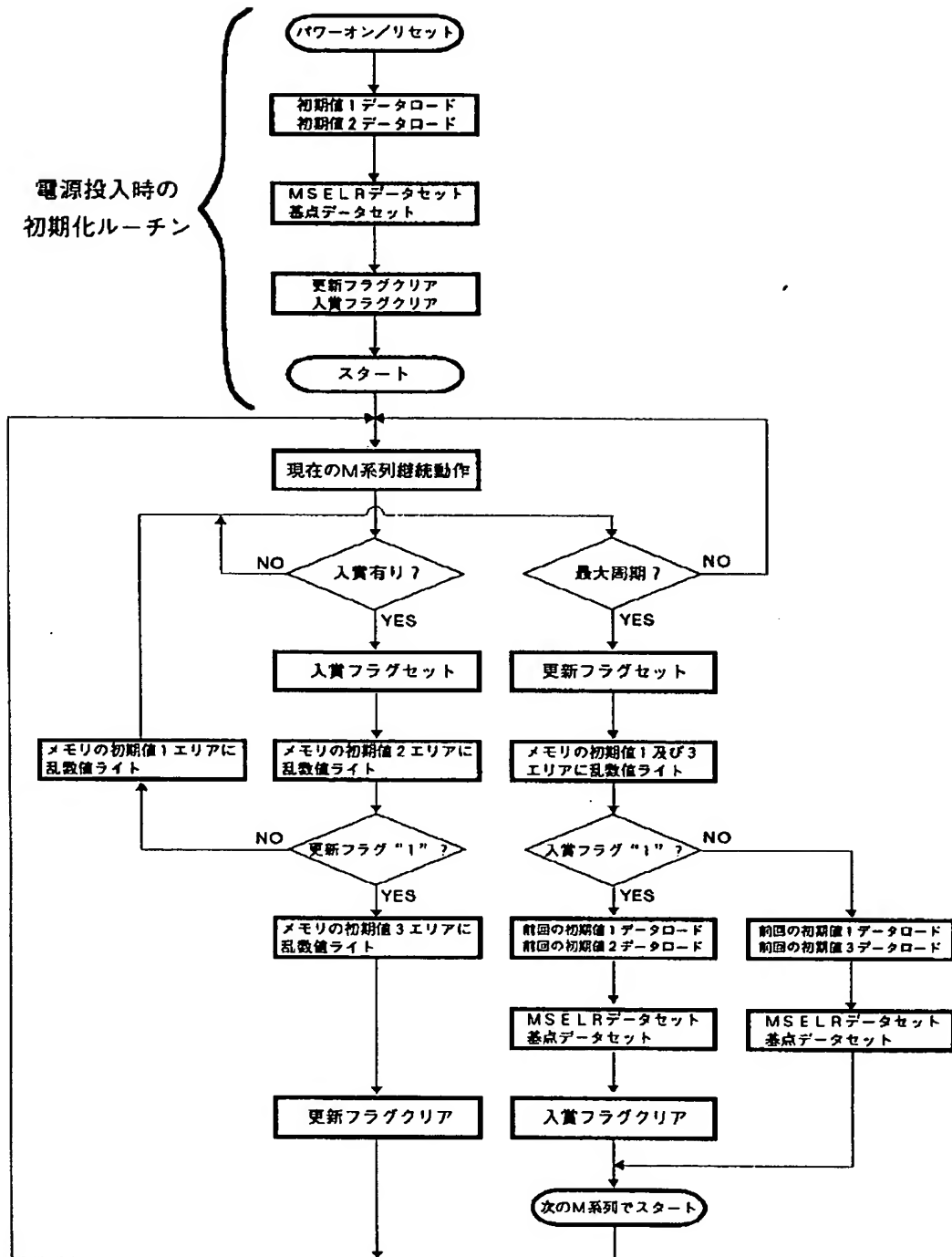
従来装置だと実質小周期で発生させているのと変わり無く、乱数値としての信頼性は低い。

また、入賞後、ただちに初期値を書き替える方式の為、統計においては特定の乱数値（上記の例では“1”、“7”）に偏りが発生する欠点がある。本装置は、入賞があっても必ず最大周期を一巡させてから初期値を書き替える方式の為、統計においては特定の乱数値の偏りが発生することは無い。

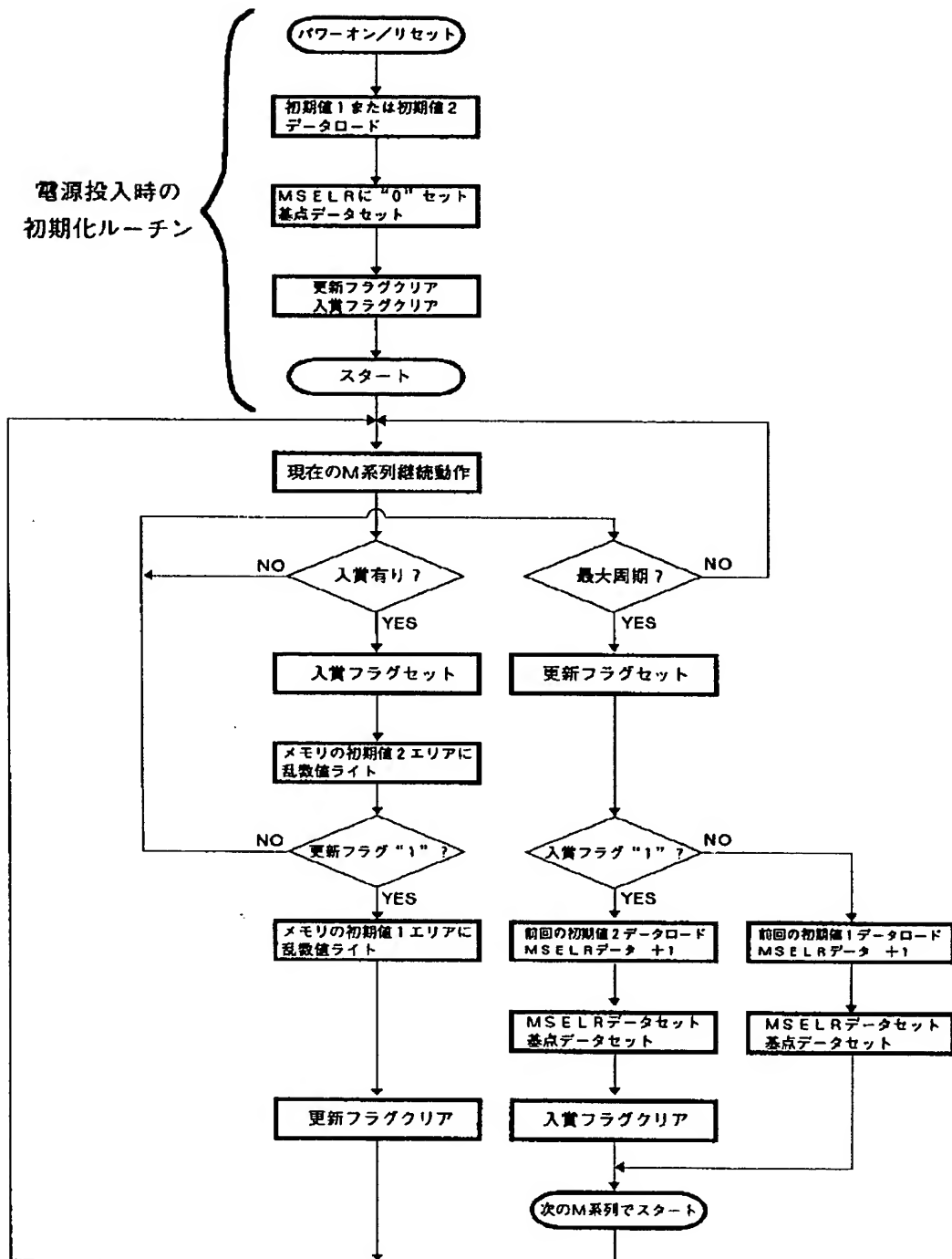
【図 3】



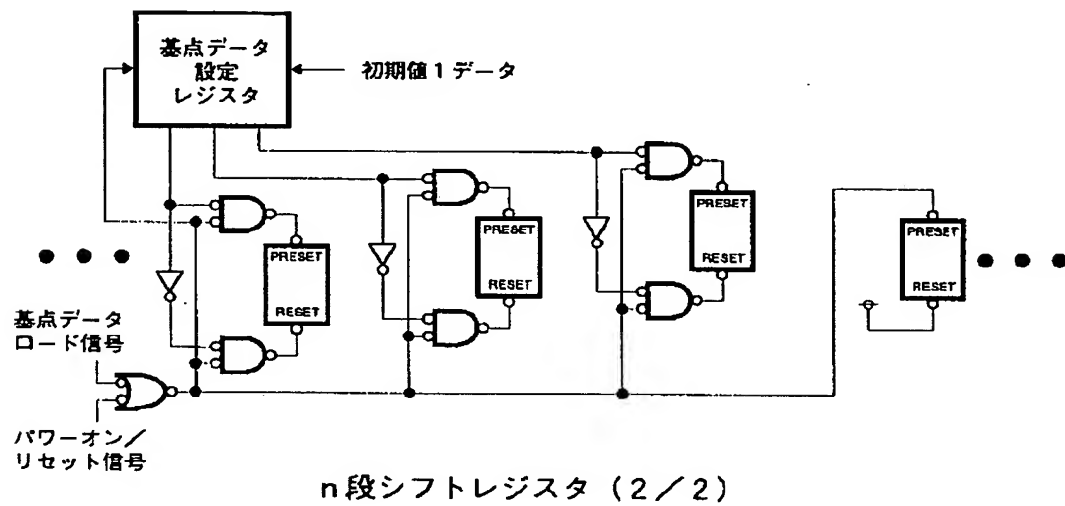
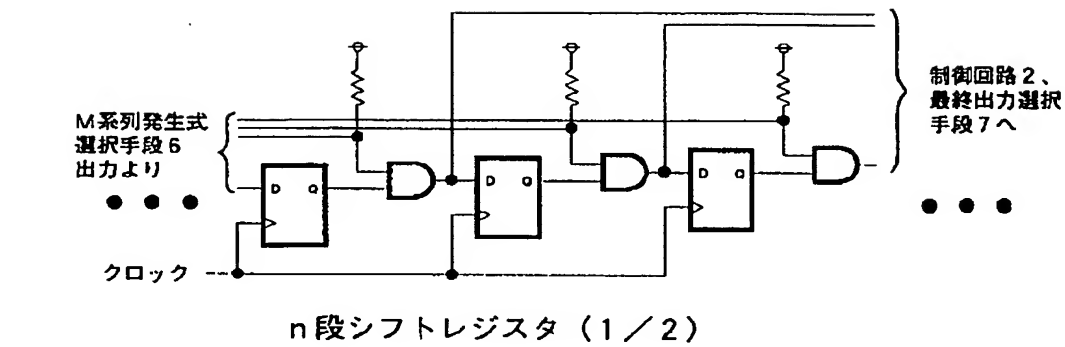
【図 4】



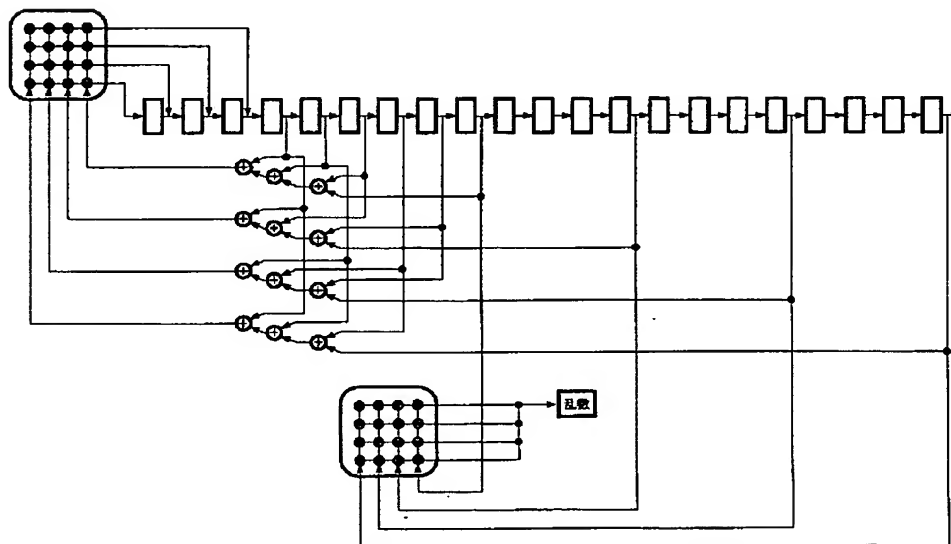
【図 5】



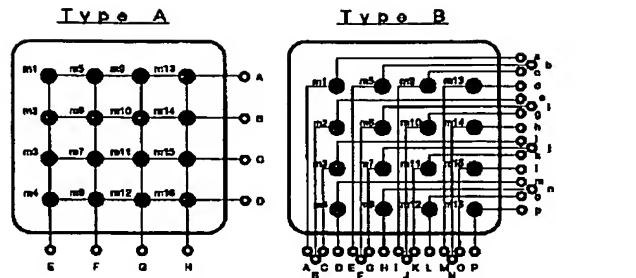
【図 6】



【図 11】



【図 8】



DATA	m1	m2	m3	m4	m5	m6	m7	m8	m9	m10	m11	m12	m13	m14	m15	m16
0000	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
0001	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
0010	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
0011	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
0100	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
0101	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
0110	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
0111	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
1000	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
1001	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
1010	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF
1011	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF
1100	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF
1101	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF
1110	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF
1111	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON

<真値表説明>

Type A

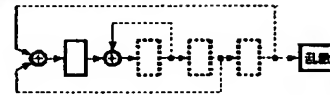
m1がONの時、AE点導通 m5がONの時、AF点導通 m9がONの時、AG点導通 m13がONの時、AH点導通
 m2がONの時、BE点導通 m6がONの時、BF点導通 m10がONの時、BG点導通 m14がONの時、BH点導通
 m3がONの時、CE点導通 m7がONの時、CF点導通 m11がONの時、CG点導通 m15がONの時、CH点導通
 m4がONの時、DE点導通 m8がONの時、DF点導通 m12がONの時、DG点導通 m16がONの時、DH点導通

Type B

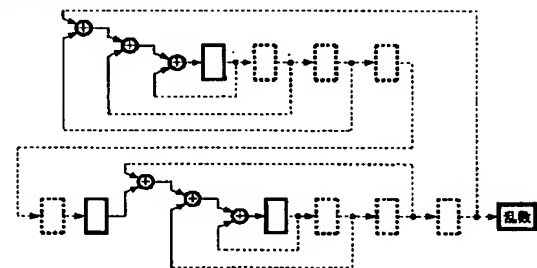
m1がONの時、aA点導通 m5がONの時、bE点導通 m9がONの時、cI点導通 m13がONの時、dM点導通
 m2がONの時、aB点導通 m6がONの時、fF点導通 m10がONの時、gJ点導通 m14がONの時、hN点導通
 m3がONの時、fC点導通 m7がONの時、jG点導通 m11がONの時、kK点導通 m15がONの時、iO点導通
 m4がONの時、mD点導通 m8がONの時、nH点導通 m12がONの時、oL点導通 m16がONの時、pP点導通

【図 10】

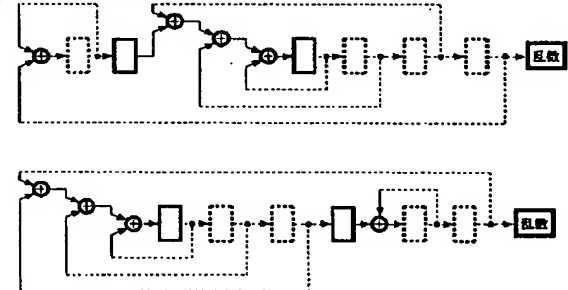
(1) 原始3項式+原始3項式



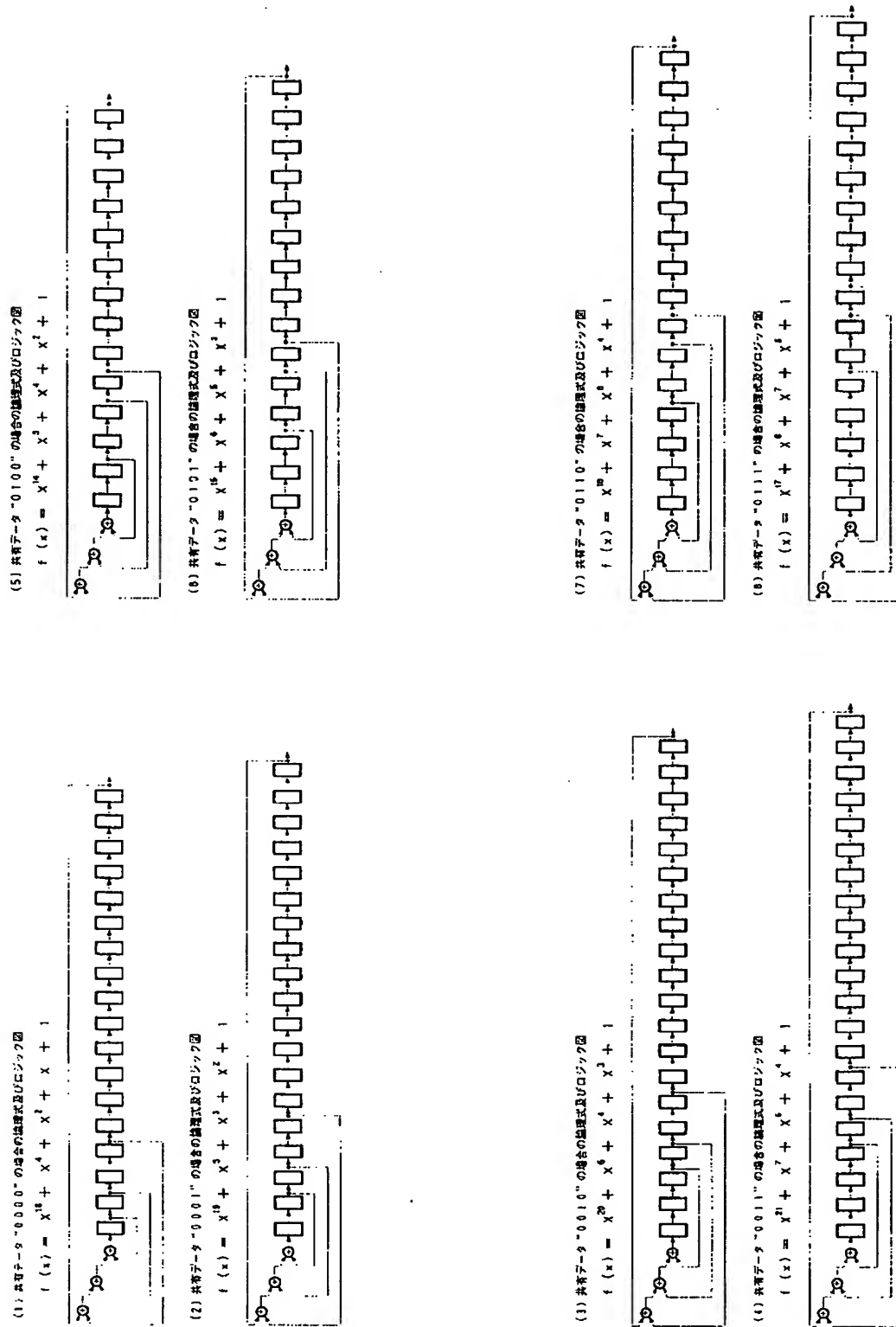
(2) 原始5項式+原始5項式



(3) 原始3項式+原始5項式



【図 12】



【図 13】

(13) 共有データ "1100" の場合の接続式及びブロック図

$$f(x) = x^6 + x^3 + x^2 + x + 1$$



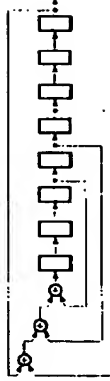
(14) 共有データ "1101" の場合の接続式及びブロック図

$$f(x) = x^7 + x^4 + x^3 + x^2 + 1$$



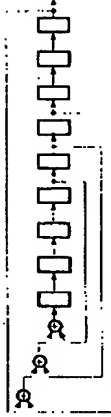
(15) 共有データ "1110" の場合の接続式及びブロック図

$$f(x) = x^8 + x^6 + x^4 + x^3 + 1$$



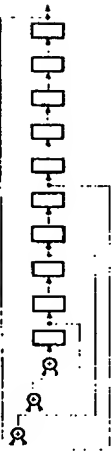
(16) 共有データ "1111" の場合の接続式及びブロック図

$$f(x) = x^8 + x^6 + x^4 + x^3 + 1$$



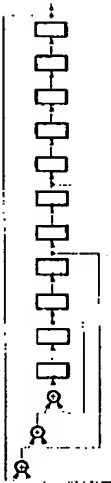
(9) 共有データ "1000" の場合の接続式及びブロック図

$$f(x) = x^{10} + x^5 + x^3 + x + 1$$



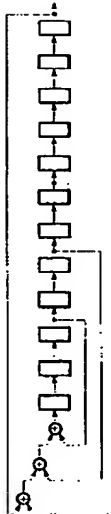
(10) 共有データ "1001" の場合の接続式及びブロック図

$$f(x) = x^{11} + x^6 + x^4 + x^3 + 1$$



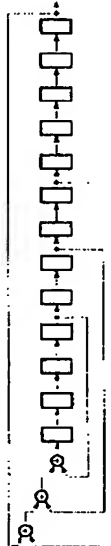
(11) 共有データ "1010" の場合の接続式及びブロック図

$$f(x) = x^{12} + x^7 + x^5 + x^3 + 1$$



(12) 共有データ "1011" の場合の接続式及びブロック図

$$f(x) = x^{13} + x^8 + x^6 + x^4 + 1$$



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.